

PAT-NO: JP411261169A  
DOCUMENT-IDENTIFIER: JP 11261169 A  
TITLE: GROWING METHOD FOR NITRIDE-BASED  
III-V COMPOUND SEMICONDUCTOR AND SEMICONDUCTOR  
DEVICE  
PUBN-DATE: September 24, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
KAWAI, HIROHARU	N/A
NAKAMURA, FUMIHIKO	N/A
HARA, MASATERU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP10080410

APPL-DATE: March 12, 1998

INT-CL (IPC): H01S003/18, H01L021/205 , H01L021/338 ,  
H01L029/812 , H01L033/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a growing method for a high-quality single-crystal III-V compound semiconductor with a low density of crystal defects, and a semiconductor device manufactured by using the method.

SOLUTION: When a nitride-based III-V compound semiconductor, such as GaN is grown on a substrate 1 made of a material like sapphire

which is other than the  
III-V compound semiconductor, a growing mask 2 made of SiO

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261169

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 21/205

H 0 1 L 21/205

21/338

33/00

C

29/812

29/80

B

33/00

審査請求 未請求 請求項の数12 F D (全 11 頁)

(21) 出願番号 特願平10-80410

(22) 出願日 平成10年(1998) 3月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6丁目7番35号

(72) 発明者 河合 弘治

東京都品川区北品川 6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 中村 文彦

東京都品川区北品川 6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 原 昌輝

東京都品川区北品川 6丁目7番35号 ソニ

ー株式会社内

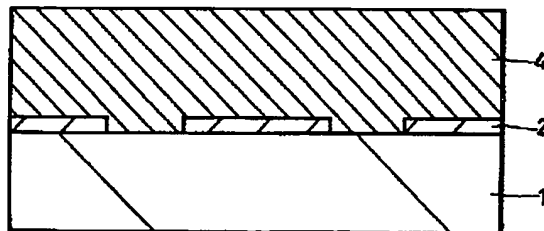
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 窒化物系ⅡⅡ-V族化合物半導体の成長方法および半導体装置

(57) 【要約】

【課題】 低結晶欠陥密度の高品質の単結晶の窒化物系ⅡⅡ-V族化合物半導体を成長させることができる窒化物系ⅡⅡ-V族化合物半導体の成長方法およびこの成長方法を用いて製造される半導体装置を提供する。

【解決手段】 サファイア基板などの窒化物系ⅡⅡ-V族化合物半導体と異なる材料からなる基板1上にGa Nなどの窒化物系ⅡⅡ-V族化合物半導体を成長させる場合に、基板1上にSiO<sub>2</sub>膜やSiN膜などからなる成長マスク2を直接形成し、その上にMOCVD法などにより窒化物系ⅡⅡ-V族化合物半導体を成長させる。成長マスク2は、その表面の任意の点からその端までの最短距離が、窒化物系ⅡⅡ-V族化合物半導体の成長に関与する原子または分子の拡散長よりも小さくなるように形成する。この方法を用いて半導体レーザ、発光ダイオード、FETなどを製造する。



## 【特許請求の範囲】

【請求項1】 窒化物系ⅡⅡⅠ-V族化合物半導体を窒化物系ⅡⅡⅠ-V族化合物半導体と異なる材料からなる基板上に成長させるようにした窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法において、

上記基板上に成長マスクを直接形成した状態で上記基板上に窒化物系ⅡⅡⅠ-V族化合物半導体を成長させるようにしたことを特徴とする窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項2】 上記成長マスクの表面の任意の点から上記成長マスクの端までの最短距離が、上記成長マスクの表面における、上記窒化物系ⅡⅡⅠ-V族化合物半導体の成長に与する原子または分子の拡散長よりも小さくなるように上記成長マスクを形成するようにしたことを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項3】 上記成長マスクはストライプ形状を有することを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項4】 上記成長マスクは誘電体または絶縁体からなることを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項5】 上記成長マスクはSiO<sub>2</sub>またはSiNからなることを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項6】 上記基板はサファイア基板、SiC基板、Si基板またはスピネル基板であることを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項7】 610℃以上の成長温度で上記窒化物系ⅡⅡⅠ-V族化合物半導体を成長させるようにしたことを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項8】 650℃以上の成長温度で上記窒化物系ⅡⅡⅠ-V族化合物半導体を成長させるようにしたことを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項9】 700℃以上の成長温度で上記窒化物系ⅡⅡⅠ-V族化合物半導体を成長させるようにしたことを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項10】 750℃以上の成長温度で上記窒化物系ⅡⅡⅠ-V族化合物半導体を成長させるようにしたことを特徴とする請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項11】 上記成長マスクの開口部における上記基板上に上記窒化物系ⅡⅡⅠ-V族化合物半導体を選択成長させて上記開口部をほぼ埋めた後、成長温度を上昇させて上記窒化物系ⅡⅡⅠ-V族化合物半導体を連続膜が形成されるまで成長させるようにしたことを特徴とす

る請求項1記載の窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法。

【請求項12】 窒化物系ⅡⅡⅠ-V族化合物半導体を用いた半導体装置において、窒化物系ⅡⅡⅠ-V族化合物半導体と異なる材料からなる基板上に成長マスクを直接形成した状態で上記基板上に窒化物系ⅡⅡⅠ-V族化合物半導体が成長されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、窒化物系ⅡⅡⅠ-V族化合物半導体の成長方法および半導体装置に関し、特に、窒化物系ⅡⅡⅠ-V族化合物半導体を用いた半導体レーザや発光ダイオードあるいは電子走行素子に適用して好適なものである。

## 【0002】

【従来の技術】GaN系半導体は直接遷移半導体であり、その禁制帯幅は1.9eVから6.2eVに亘っており、可視領域から紫外線領域におよぶ発光が可能な発光素子の実現が可能であることから、近年注目を集めており、その開発が活発に進められている。また、このGaN系半導体は、電子走行素子の材料としても大きな可能性を持っている。すなわち、GaNの飽和電子速度は約 $2.5 \times 10^7$  cm/sとSi、GaAsおよびSiCに比べて大きく、また、破壊電界は約 $5 \times 10^6$  V/cmとダイヤモンドに次ぐ大きさを持っている。このような理由により、GaN系半導体は、高周波、高温、大電力用電子走行素子の材料として大きな可能性を持つことが予想されてきた。

【0003】ところで、一般に、高性能の半導体装置を得るためには、この半導体装置を構成する半導体層の結晶の品質が非常に重要である。例えば、従来のGaAs系半導体を用いた光素子では、半導体層の積層欠陥密度は $10^3$  cm<sup>-2</sup>以下である。これに対し、GaN系半導体は、通常サファイアやSiCなどの格子定数の異なる基板上に成長されるが、その積層欠陥密度は $10^8 \sim 10^{10}$  cm<sup>-2</sup>程度と極めて高い。GaN系半導体の性質上、このような高密度の結晶欠陥が存在するにもかかわらず、すでに発光ダイオードが実用化され、半導体レーザも室温連続発振が達成されており、電子走行素子も試作例が近年報告されている。

【0004】しかしながら、結晶欠陥の少ないGaN系半導体では発光効率が高くなる傾向があることが実験的に確認されており、また、理論計算により、電子移動度はキャリアが少ないときには結晶欠陥によって規定されることが指摘されている。このため、近年、GaN系半導体の結晶欠陥の低減化方法が模索されてきている。特に、GaN系半導体レーザの長寿命化には、GaN系半導体の結晶欠陥の低減が必須とされている。

【0005】GaN系半導体の結晶欠陥低減のための従

来の方策について、GaNを例にとって説明する。GaNの結晶欠陥低減のための第1の方策は、GaNと格子定数および結晶構造がなるべく近い成長用基板を選択することである。例えば、成長用基板として最もよく用いられているc面サファイア基板はGaNとの格子定数差が13%もあり、これがこのc面サファイア基板上にGaNを成長させたときにこのGaN層中に高密度の結晶欠陥が発生する原因となっている。また、SiC基板はGaNとの間で3.5%程度の格子定数差があり、このSiC基板上に成長させたGaN層はc面サファイア基板上に成長させたGaN層より結晶欠陥密度が小さいと言われている。GaNの結晶欠陥低減のための第2の方策は、選択成長技術を用いることである(J. Crystal Growth, 144(1994)133)。この方法では、c面サファイア基板またはSiC基板上にあらかじめ単結晶のGaN層を形成しておき、その上にSiO<sub>2</sub>膜やSiN膜からなる成長マスクを形成した状態で2回目のGaNの成長を行う。この場合、この成長マスクで覆われていない開口部のGaN層上に成長したGaN結晶が横方向に(成長マスク上に)延びてゆくとき、下地から引き離される貫通欠陥は成長マスクによって阻止されるので、成長マスク上に成長したGaN層はより低結晶欠陥密度の高品質な結晶となる。この技術は、Si基板上に単結晶のGaAsを成長させる技術(GaAsオンSi基板技術)で用いられてきたものであるが、近年GaNの結晶成長においても試みられ、結晶欠陥の低減に成功を収めつつある(Jpn. J. Appl. Phys., 36(1997)L899)。

【0006】上述のGaNの選択成長技術についてより詳細に説明する。すなわち、この技術では、図16に示すように、まず、例えば、c面サファイア基板101上に例えば500~600℃程度の低温で厚さが例えば20~30nmのアモルファス状のGaNバッファ層を成長させた後、基板温度を1000℃程度まで上昇させてこのGaNバッファ層を固相エピタキシャル成長により結晶化させ、結晶粒の方位がそろった多結晶のGaN層を形成する。そして、この多結晶GaN層上にGaNをある程度厚く(典型的には3μm程度)成長させると、積層欠陥密度が10<sup>10</sup>cm<sup>-2</sup>程度の単結晶のGaN層102が得られる。次に、このGaN層102上にSiO<sub>2</sub>膜などからなるストライプ形状の成長マスク103を形成し、1000℃程度の温度で有機金属化学気相成長(MOCVD)法やハイドライド気相エピタキシャル成長(HVPE)法によりGaNを成長させる。すると、成長マスクで覆われていない開口部のGaN層102上に成長したGaNは横方向成長によって成長マスク103上に広がってゆき、GaNをある程度の厚さ、例えば、マスク幅の2~5倍の厚さ(例えば、8~20μm)成長させると、成長マスク103の各開口部から横方向成長したGaN結晶同士が合体して連続的な単結晶のGaN層104が成長する。このとき、成長マスク1

03上のGaN層104のみならず、成長マスク103の開口部上のGaN層104の貫通転位も横方向に曲がって、GaN層104全体としての結晶欠陥が低減する。

【0007】

【発明が解決しようとする課題】しかしながら、上述の従来の選択成長技術は、GaNの結晶欠陥低減には有効であるものの、次のような欠点を有している。すなわち、第1に、低結晶欠陥密度の単結晶のGaN層104を成長させるためには、あらかじめc面サファイア基板101上に単結晶のGaN層102を形成しておく必要がある。これは、結晶成長を2回行わなければならないことを意味し、結晶成長のコストがほぼ2倍になる。第2に、GaN層104の選択成長は、成長マスク103の各開口部から成長したGaN層104の側面同士が合体して欠陥が減少するまで続ける必要があるため、現在のところMOCVD法などで少なくとも8μm程度と厚くGaN層102を成長させなければならない。これは、成長時間と原料とを多く消費することを意味し、結晶成長のコストが高くなる。

【0008】したがって、この発明の目的は、低結晶欠陥密度の高品質の単結晶の窒化物系III-V族化合物半導体を低コストで成長させることができる窒化物系III-V族化合物半導体の成長方法およびこの成長方法を用いて製造される半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った。以下にその概要について説明する。

【0010】いま、低温成長によるGaNバッファ層を成長させることなく、サファイア基板上にMOCVD法により1000℃程度の成長温度でGaNの結晶成長を行う場合について考察する。この場合、成長したGaN層は、表面が平坦でなく、大きなGaNの固まりが重なったような形となっている。これは結晶成長初期のサファイア基板表面と結晶成長に關与するGaやNとの相互作用に原因がある。すなわち、サファイア基板表面でのGaやNの滞在時間は短く、その結果GaやNの表面濃度が小さいため、結晶核の生成が少ない。言い換えると、結晶核の生成のための過飽和度が小さい。このように、サファイア基板表面に最初に生成される結晶核は、数が少なく、まばらに点在しているため、成長時に供給される原料はこの数少ない結晶核に集中し、したがって一つ一つの結晶核で見るとGaNの結晶成長のための過飽和度は大きくなる結果、各結晶核の成長速度は圧倒的に大きく、それぞれが独立の成長速度を持って成長し、GaNが3次元的に折り重なった表面モフォロジとなってしまう。

【0011】したがって、表面が平坦なGaN層を得るには、サファイア基板表面の結晶核の密度を圧倒的に多

くして、一つ一つの結晶核の成長はゆっくりと行い、2次元成長によって、隣の結晶核との合体を滑らかに行う必要がある。これを実現したのが低温成長によるGa<sub>0.5</sub>N<sub>0.5</sub>バッファ層である。低温成長では、サファイア基板表面でのGaおよびNの滞在時間が非常に大きいので、表面に達したものは全て析出する。しかしながら、GaおよびNの表面移動速度も非常に小さいので、成長するGa<sub>0.5</sub>N<sub>0.5</sub>は結晶とはならず、アモルファスである。その後、成長温度を1000℃程度に上昇させて成長を行うと、下地表面は結晶核の集合とも見なせることから、原料ガスが供給されると、各結晶核から成長が始まる。そして、各結晶核がほぼ等速度の2次元成長を行い、結晶界面同士が合体し、そこに欠陥を発生させながら一体となって成長してゆく。このとき、発生した結晶欠陥は近くの結晶欠陥と合体してその数を減少させてゆき、最終的には $10^9 \text{ cm}^{-2}$ 程度の結晶欠陥密度となる。

【0012】以上が低温成長によるGa<sub>0.5</sub>N<sub>0.5</sub>バッファ層を用いた単結晶Ga<sub>0.5</sub>N<sub>0.5</sub>層の成長方法であるが、ここで、成長させるGa<sub>0.5</sub>N<sub>0.5</sub>と異なる任意の基板、例えばサファイア基板上にストライプ形状の成長マスクを直接形成し、このサファイア基板上にGa<sub>0.5</sub>N<sub>0.5</sub>の成長を行う場合を考え、このときの成長について考察する。まず、成長マスクは、その表面の任意の点からその端までの最短距離がその表面におけるGaおよびNの拡散長よりも小さくなるように、言い換えると、成長マスクの表面のいずれの場所に付着したGaおよびNも表面拡散により成長マスクの開口部における基板表面に到達するように、マスク幅を決める。このような成長マスクを基板上に直接形成し、Ga<sub>0.5</sub>N<sub>0.5</sub>の成長を行うが、この際、成長マスクの開口部における基板表面への原料の供給量を多くして過飽和度を高め、それによって核生成速度を高めることで結晶核を高密度に生成させる。このとき、これらの結晶核は、成長マスクの開口部における基板表面に、この基板の結晶方位にしたがってエピタキシャル成長し、これらの結晶核が次第に成長する。ここで、成長マスクの開口部の中心付近における基板表面では、成長は比較的自由であるため、成長するGa<sub>0.5</sub>N<sub>0.5</sub>層の表面は必ずしも平坦とはならない。これに対し、マスク端に整列して生成された一連の結晶核はマスクと同程度の厚さに成長すると互いに合体するが、マスクの厚さを超えると、マスク端では自由な成長ができず、ストライプ方向に平行な線状の結晶成長フロントが形成される。すなわち、マスク端では、成長マスクのストライプ方向に沿って結晶成長フロントが形成され、それが成長マスク上を進行して横方向成長し、また、その厚さを増してゆく。そして、成長マスク上に成長するGa<sub>0.5</sub>N<sub>0.5</sub>結晶は厚さが増すにしたがって成長マスクの開口部の中央に広がり、最終的には全面が平坦に成長してゆき、表面が平坦で低結晶欠陥密度の単結晶のGa<sub>0.5</sub>N<sub>0.5</sub>層が得られる。

【0013】以上のように、Ga<sub>0.5</sub>N<sub>0.5</sub>と異なる任意の基板

上に成長マスクを直接形成し、この際、成長マスクを、その表面の任意の点からその端までの最短距離がその表面におけるGaおよびNの拡散長よりも小さくなるように形成し、その状態でGa<sub>0.5</sub>N<sub>0.5</sub>の成長を行うことにより、成長マスクの開口部における基板表面に方位のそろった結晶核を高密度で生成し、これらの結晶核の集団を横方向に制御して成長させる（グラフォエピタキシー）ことにより、低温成長によるGa<sub>0.5</sub>N<sub>0.5</sub>バッファ層のようなアモルファス層を基板上にあらかじめ成長させることなく、1回の成長で表面が平坦で低結晶欠陥密度の単結晶のGa<sub>0.5</sub>N<sub>0.5</sub>層を成長させることができる。

【0014】この発明は、本発明者による以上のような検討に基づいて案出されたものである。

【0015】すなわち、上記目的を達成するために、この発明の第1の発明は、窒化物系III-V族化合物半導体を窒化物系III-V族化合物半導体と異なる材料からなる基板上に成長させるようにした窒化物系III-V族化合物半導体の成長方法において、基板上に成長マスクを直接形成した状態で基板上に窒化物系III-V族化合物半導体を成長させるようにしたことを特徴とするものである。

【0016】この発明の第2の発明は、窒化物系III-V族化合物半導体を用いた半導体装置において、窒化物系III-V族化合物半導体と異なる材料からなる基板上に成長マスクを直接形成した状態で基板上に窒化物系III-V族化合物半導体が成長されていることを特徴とするものである。

【0017】この発明においては、成長マスクの開口部における基板上に窒化物系III-V族化合物半導体を選択成長させることができるように成長マスクを形成し、また、成長温度を選ぶ。成長マスクは、典型的には、使用する成長温度との兼ね合いで、成長マスクの表面の任意の点から成長マスクの端までの最短距離が、成長マスクの表面における、窒化物系III-V族化合物半導体の成長に参与する原子または分子の拡散長よりも小さくなるように形成する。この成長マスクの形状は、種々の形状とすることができ、必要に応じて決定することができるが、典型的には、基板に対して一方向に延びるストライプ形状に選ばれる。また、成長温度は、使用する成長マスクとの兼ね合いで、成長マスクの表面の任意の点から成長マスクの端までの最短距離が、成長マスクの表面における、窒化物系III-V族化合物半導体の成長に参与する原子または分子の拡散長よりも小さくなるような温度に選ばれる。一般的には、成長温度が高いほど成長の選択性が高くなる傾向がある。この選択性を十分に確保する観点から、成長温度は、一般的には少なくとも610℃以上、好適には650℃以上、より好適には700℃以上、さらに好適には750℃以上に選ばれる。

【0018】この発明において、成長マスクの材料とし

ては、窒化物系III-V族化合物半導体を成長させる  
ときにその上にこの窒化物系III-V族化合物半導体  
が成長しないか、あるいは、少なくとも成長しにくい材  
料が用いられ、典型的には、誘電体または絶縁体、具体  
的には例えば酸化シリコン( $\text{SiO}_2$ )または窒化シリ  
コン( $\text{SiN}$ )が用いられる。また、基板としては、サ  
ファイア基板、 $\text{SiC}$ 基板、 $\text{Si}$ 基板、スピネル基板な  
どが用いられる。

【0019】この発明において、典型的には、成長マス  
クの開口部における基板上に窒化物系III-V族化合  
物半導体を選択成長させて開口部をほぼ埋めた後、成長  
温度を上昇させて窒化物系III-V族化合物半導体を  
連続膜が形成されるまで成長させる。具体的には、例え  
ば、成長マスクの開口部における基板上に窒化物系III  
-V族化合物半導体を選択成長させて開口部を埋める  
ときの成長温度は610~800℃とし、その後の成長  
温度は950~1050℃とする。

【0020】この発明において、窒化物系III-V族  
化合物半導体は、Ga、Al、InおよびBからなる群  
より選ばれた少なくとも一種のIII族元素と、少な  
くともNを含み、場合によってさらにAsまたはPを含  
むV族元素とからなる。この窒化物系III-V族化合  
物半導体の具体例を挙げると、 $\text{GaN}$ 、 $\text{AlGaIn}$ 、 $\text{AlN}$ 、 $\text{GaInN}$ 、 $\text{AlGaInN}$ 、 $\text{InN}$ などであ  
る。

【0021】上述のように構成されたこの発明において  
は、基板上に成長マスクを直接形成した状態で基板上に  
窒化物系III-V族化合物半導体を成長させるように  
しているため、成長マスクの開口部における基板上に窒  
化物系III-V族化合物半導体を選択成長させること  
ができるように成長マスクを形成し、また、成長温度を  
選ぶことにより、成長時には、まず、成長マスクの開口  
部における基板上にエピタキシャル成長により一定の結  
晶方位を持って高密度で生成された結晶核の成長により  
成長マスクの開口部が埋められ、次いで横方向成長によ  
り成長マスク上に成長が進み、各開口部から横方向成長  
した結晶同士が合体し、連続膜が形成される。このよう  
にして成長された窒化物系III-V族化合物半導体  
は、その横方向成長の途中で下地から引き離される貫通  
転位などの結晶欠陥が減少することにより、低結晶欠陥  
密度の高品質の単結晶となる。また、この場合、基板上  
に成長マスクを直接形成し、その上に窒化物系III-V  
族化合物半導体を成長させるだけでよいので、成長は  
1回で済む。

【0022】

【発明の実施の形態】以下、この発明の実施形態につ  
いて図面を参照しながら説明する。なお、実施形態の全図  
において、同一または対応する部分には同一の符号を付  
す。

【0023】図1~図8はこの発明の第1の実施形態に

よるGaIn層の成長方法を示す。

【0024】この第1の実施形態においては、まず、図  
1および図2に示すように、c面サファイア基板1上に  
例えばCVD法により $\text{SiO}_2$ 膜2を形成した後、この  
 $\text{SiO}_2$ 膜2をリソグラフィ法およびエッチング法に  
よりc面サファイア基板1の〈11-20〉方向に延び  
るストライプ形状にパターニングし、成長マスクを形成  
する。ここで、この成長マスクとしての $\text{SiO}_2$ 膜2の  
幅 $W_1$ は、使用する成長温度に対し、この $\text{SiO}_2$ 膜2  
の表面の任意の点からその端までの最短距離がその表面  
におけるGaおよびNの拡散長よりも小さくなるように  
選ばれる。具体的には、この $\text{SiO}_2$ 膜2の幅 $W_1$ は例  
えば3 $\mu\text{m}$ とし、この $\text{SiO}_2$ 膜2の開口部の幅 $W_2$ は  
例えば1.5 $\mu\text{m}$ とする。また、この $\text{SiO}_2$ 膜2の厚  
さは例えば0.1 $\mu\text{m}$ とする。図9に、成長マスクとし  
ての $\text{SiO}_2$ 膜2を形成したc面サファイア基板1の表  
面の走査型電子顕微鏡(SEM)写真を示す。

【0025】次に、成長マスクとしての $\text{SiO}_2$ 膜2が  
形成されたc面サファイア基板1をMOCVD装置の反  
応管内に導入する。そして、この反応管内でまず、水素  
( $\text{H}_2$ )および窒素( $\text{N}_2$ )をそれぞれ流量8l/min  
および7l/minで供給しながら1050℃、10  
分間の熱処理を行ってc面サファイア基板1の表面のサ  
ーマルクリーニングを行った後、成長温度まで基板温度  
を下げ、温度が安定した状態で反応管内にアンモニア  
( $\text{NH}_3$ )およびトリメチルガリウム(TMGe)をそれ  
ぞれ流量10l/minおよび100 $\mu\text{mol/min}$   
で同時に供給し、GaInの成長を行う。ここでは、成長  
温度を750℃とする。

【0026】成長初期においては、図3に示すように、  
 $\text{SiO}_2$ 膜2の開口部におけるc面サファイア基板1の  
表面にGaInの結晶核3がc面サファイア基板1の結晶  
方位に対して一定の結晶方位を持って高密度にエピタキ  
シャル成長する。このとき、 $\text{SiO}_2$ 膜2の表面におけ  
るGaおよびNの拡散長がこの $\text{SiO}_2$ 膜2の表面の任  
意の点からその端までの最短距離よりも長いので、この  
 $\text{SiO}_2$ 膜2の表面に結晶核3はほとんど生成されな  
い。すなわち、結晶核3は、 $\text{SiO}_2$ 膜2の開口部に  
おけるc面サファイア基板1の表面に選択的に生成する。

【0027】時間の経過とともに各結晶核3が成長し、  
一定時間経過後には互いに合体し、図4に示すように、  
 $\text{SiO}_2$ 膜2の開口部におけるc面サファイア基板1上  
にはほぼ単結晶のGaIn層4が成長する。このときのGa  
In層4の表面は通常、凹凸が存在する面になっている。

【0028】さらに時間が経過すると、図5に示すよう  
に、GaIn層4の表面が $\text{SiO}_2$ 膜2の表面とほぼ同一  
の高さになる。

【0029】この時点で成長温度を例えば1000℃程  
度上昇させ、また、TMGeの流量を例えば30 $\mu\text{mol}$   
/minとして、GaInの成長を続ける。これによっ

て、図6に示すように、Ga<sub>0.5</sub>N層4は、厚さを増しながら、SiO<sub>2</sub>膜2の幅方向への横方向成長によりSiO<sub>2</sub>膜2上にも成長してゆく。通常、この時点でも、Ga<sub>0.5</sub>N層4の表面には凹凸が存在している。Ga<sub>0.5</sub>N層4が2μm程度の厚さまで成長すると、図7に示すように、Ga<sub>0.5</sub>N層4の表面の凹凸はほとんどなくなる。このようにして成長したGa<sub>0.5</sub>N層4の側面の面方位は{1-101}となる。

【0030】Ga<sub>0.5</sub>N層4の成長がさらに進むと、SiO<sub>2</sub>膜2の各開口部から横方向成長したGa<sub>0.5</sub>N層4同士がそれらの側面で合体し、Ga<sub>0.5</sub>N層4の厚さが6μm程度になった時点で、図8に示すように、表面が平坦な単結晶のGa<sub>0.5</sub>N層4が連続膜として得られる。

【0031】図10に、最初にGa<sub>0.5</sub>Nバッファ層を成長させる従来のGa<sub>0.5</sub>N層の成長方法における成長速度を用いる場合にGa<sub>0.5</sub>N層を厚さ0.1μm成長させるのに必要な時間(約30秒)だけ成長を行ったGa<sub>0.5</sub>N層4の表面のSEM写真を示す。図10より、SiO<sub>2</sub>膜2の開口部の端からこのSiO<sub>2</sub>膜2上へのGa<sub>0.5</sub>N層4の横方向成長が見られる。この場合、Ga<sub>0.5</sub>N層4の幅は2.1μmであり、一方、SiO<sub>2</sub>膜2の開口部の幅W<sub>2</sub>は1.5μmであることから、Ga<sub>0.5</sub>N層4はSiO<sub>2</sub>膜2の開口部の両側のSiO<sub>2</sub>膜2上にそれぞれ0.3μm横方向成長している。また、X線回折の結果、このGa<sub>0.5</sub>N層4はアモルファスではなく、c軸配向した結晶であることが確認された。

【0032】また、Ga<sub>0.5</sub>N層4のSiO<sub>2</sub>膜2上への横方向成長が始まるまでSiO<sub>2</sub>膜2上にはGa<sub>0.5</sub>N層4の成長が見られず、完全な選択性が得られていることから、SiO<sub>2</sub>膜2の表面におけるGaおよびNの拡散長は成長温度750℃では少なくとも3μm以上であると考えられる。実際、別に行った実験によると、300μm角のSiO<sub>2</sub>膜の表面にも全く析出が見られなかったことから、成長温度750℃におけるGaおよびNの拡散長は300μm以上である。

【0033】比較のために、成長温度を500℃としてGa<sub>0.5</sub>N層4を0.1μmの厚さ成長させたところ、SiO<sub>2</sub>膜2の表面を含む全面にGa<sub>0.5</sub>N層4が成長し、選択性は得られなかった。図11にそのときのGa<sub>0.5</sub>N層4のSEM写真を示す。また、成長温度を600℃としてGa<sub>0.5</sub>N層4を0.1μmの厚さ成長させたところ、成長温度が500℃の場合と比較して成長粒子の粒径は大きくなるものの、やはりSiO<sub>2</sub>膜2の表面を含む全面にGa<sub>0.5</sub>N層4が成長し、選択性は得られなかった。これより、成長温度600℃でのGaおよびNの拡散長は3μm以下であると考えられる。図12にそのときのGa<sub>0.5</sub>N層4のSEM写真を示す。

【0034】以上のように、この第1の実施形態によれば、c面サファイア基板1上に成長マスクとしてのストライプ形状のSiO<sub>2</sub>膜2を直接形成し、このときこの

SiO<sub>2</sub>膜2の幅を成長温度におけるGaおよびNの拡散長よりも狭くし、このSiO<sub>2</sub>膜2が形成されたc面サファイア基板1上にGa<sub>0.5</sub>Nの成長を行っていることにより、1回の成長により、表面が平坦で低結晶欠陥密度の高品質の単結晶のGa<sub>0.5</sub>N層4を低コストで成長させることができる。

【0035】次に、この発明の第2の実施形態によるGa<sub>0.5</sub>N層の成長方法について説明する。

【0036】この第2の実施形態においては、図5に示す状態までGa<sub>0.5</sub>N層4を成長させるとき、成長温度を850℃とし、また、H<sub>2</sub>の流量を0、N<sub>2</sub>の流量を15l/min、TMG供給量を150μmol/minとする。その後、成長温度を1000℃程度に上昇させるとともに、TMGの流量を15μmol/minに減らし、Ga<sub>0.5</sub>N層4の成長を行う。ここで、図5に示す状態までGa<sub>0.5</sub>N層4を成長させるときにH<sub>2</sub>の流量を0とするのは、成長温度が850℃と比較的高いことから、成長に寄与する実効的な原料ガスの供給量を高め、結晶核3の生成のための過飽和度を高めるためである。一方、図5に示す状態までGa<sub>0.5</sub>N層4を成長させた後にTMGの流量を15μmol/minに減らすのは、低い結晶成長速度に戻すためである。その他のことは、第1の実施形態と同様であるので、説明を省略する。

【0037】この第2の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0038】次に、この発明の第3の実施形態によるGa<sub>0.5</sub>N系半導体レーザの製造方法について説明する。図13～図15にこの製造方法を示す。このGa<sub>0.5</sub>N系半導体レーザは、SCH (Separate Confinement Heterostructure) 構造を有するものである。

【0039】この第3の実施形態においては、図13に示すように、まず、第1または第2の実施形態と同様な方法により、c面サファイア基板1上に成長マスクとしてのストライプ形状のSiO<sub>2</sub>膜2を直接形成し、その上にMOCVD法により表面が平坦で低結晶欠陥密度の単結晶のGa<sub>0.5</sub>N層4を連続膜として成長させた後、引き続いてMOCVD法によりこのGa<sub>0.5</sub>N層4上にn型Ga<sub>0.5</sub>Nコンタクト層5、n型AlGa<sub>0.5</sub>Nクラッド層6、n型Ga<sub>0.5</sub>N光導波層7、例えばGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層8、p型Ga<sub>0.5</sub>N光導波層9、p型AlGa<sub>0.5</sub>Nクラッド層10およびp型Ga<sub>0.5</sub>Nコンタクト層11を順次成長させる。このとき、これらの層の下地となるGa<sub>0.5</sub>N層4が低結晶欠陥密度の高品質の単結晶であることから、これらの層もまた低結晶欠陥密度の高品質の単結晶となる。ここで、Inを含まない層であるn型Ga<sub>0.5</sub>Nコンタクト層5、n型AlGa<sub>0.5</sub>Nクラッド層6、n型Ga<sub>0.5</sub>N光導波層7、p型Ga<sub>0.5</sub>N光導波層9、p型AlGa<sub>0.5</sub>Nクラッド層10およびp型Ga<sub>0.5</sub>Nコンタクト層11の成長温度は例えば1000℃程度とし、Inを含む層であるGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>



In<sub>y</sub>N多重量子井戸構造の活性層8の成長温度は例えば700~800℃とする。また、これらの層の厚さの一例を挙げると、n型Ga<sub>0.5</sub>Nクラッド層5は3μm、n型Al<sub>0.5</sub>GaNクラッド層6は0.5μm、n型Ga<sub>0.5</sub>N光導波層7は0.1μm、p型Ga<sub>0.5</sub>N光導波層9は0.1μm、p型Al<sub>0.5</sub>GaNクラッド層10は0.5μm、p型Ga<sub>0.5</sub>Nコンタクト層11は0.5μmとする。また、n型Ga<sub>0.5</sub>Nコンタクト層5、n型Al<sub>0.5</sub>GaNクラッド層6およびn型Ga<sub>0.5</sub>N光導波層7にはドナーとして例えばSiをドーブし、p型Ga<sub>0.5</sub>N光導波層9、p型Al<sub>0.5</sub>GaNクラッド層10およびp型Ga<sub>0.5</sub>Nコンタクト層11にはアクセプタとして例えばMgをドーブする。この後、これらの層にドーブされたドナーおよびアクセプタの電気的活性化、特にp型Ga<sub>0.5</sub>N光導波層9、p型Al<sub>0.5</sub>GaNクラッド層10およびp型Ga<sub>0.5</sub>Nコンタクト層11にドーブされたアクセプタの電気的活性化のための熱処理を行う。この熱処理の温度は例えば700℃程度とする。

【0040】次に、p型Ga<sub>0.5</sub>Nコンタクト層11上に、所定幅のストライプ形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えば反応性イオンエッチング（RIE）法によりp型Al<sub>0.5</sub>GaNクラッド層10の厚さ方向の途中の深さまでエッチングし、リッジ部を形成する。次に、このレジストパターンを除去した後、p型Ga<sub>0.5</sub>Nコンタクト層11およびp型Al<sub>0.5</sub>GaNクラッド層10上に所定幅のストライプ形状のレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして例えばRIE法によりn型Ga<sub>0.5</sub>Nコンタクト層5の厚さ方向の途中の深さまでエッチングすることにより、p型Ga<sub>0.5</sub>Nコンタクト層11、p型Al<sub>0.5</sub>GaNクラッド層10、p型Ga<sub>0.5</sub>N光導波層9、活性層8、n型Ga<sub>0.5</sub>N光導波層7、n型Al<sub>0.5</sub>GaNクラッド層6およびn型Ga<sub>0.5</sub>Nコンタクト層5の上層部をストライプ状にパターンニングする。このパターンニング終了後の状態を図14に示す。

【0041】次に、図15に示すように、エッチングマスクに用いたレジストパターンを除去した後、p型Ga<sub>0.5</sub>Nコンタクト層11上に例えばNi/Au膜やNi/Pt/Au膜などからなるp側電極12を形成するとともに、エッチングされた部分のn型Ga<sub>0.5</sub>Nコンタクト層5上に例えばTi/Al膜からなるn側電極13を形成する。

【0042】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板1を劈開などによりバー状に加工して両共振器端面を形成し、さらにこれらの共振器端面に端面コーティングを施した後、このバーを劈開などによりチップ化する。以上により、目的とするSCH構造のGa<sub>0.5</sub>N系半導体レーザが製造される。

【0043】この第3の実施形態によれば、レーザ構造を形成する半導体層の下地となるGa<sub>0.5</sub>N層4を1回の成

長により低コストで成長させることができることにより、従来に比べてGa<sub>0.5</sub>N系半導体レーザを低コストで製造することができる。

【0044】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0045】例えば、上述の第1、第2および第3の実施形態において挙げた数値、構造、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、基板、原料、プロセスなどを用いてもよい。

【0046】また、上述の第1、第2および第3の実施形態においては、成長マスクとしてのストライプ形状のSiO<sub>2</sub>膜2の延びる方向をc面サファイア基板1の〈11-20〉方向に設定しているが、このストライプ形状のSiO<sub>2</sub>膜2の延びる方向は〈1-100〉方向に設定してもよい。

【0047】また、上述の第1、第2および第3の実施形態においては、基板としてc面サファイア基板を用いているが、必要に応じて、SiC基板、Si基板、スピネル基板などを用いてもよい。同様に、成長法としては、MOCVD法のほかに、HVPE法などを用いてもよい。

【0048】さらに、上述の第3の実施形態においては、この発明をGa<sub>0.5</sub>N系半導体レーザの製造に適用した場合について説明したが、この発明は、Ga<sub>0.5</sub>N系発光ダイオードはもちろん、Ga<sub>0.5</sub>N系FETなどのGa<sub>0.5</sub>N系電子走行素子の製造に適用してもよい。

【0049】

【発明の効果】以上説明したように、この発明の第1の発明によれば、基板上に成長マスクを直接形成した状態で基板上に窒化物系III-V族化合物半導体を成長させるようにしていることにより、低結晶欠陥密度で高品質の単結晶の窒化物系III-V族化合物半導体を低コストで成長させることができる。

【0050】また、この発明の第2の発明によれば、窒化物系III-V族化合物半導体を用いた半導体装置を低コストで製造することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成長方法を説明するための断面図である。

【図2】図1に対応する平面図である。

【図3】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成長方法を説明するための断面図である。

【図4】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成長方法を説明するための断面図である。

【図5】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成長方法を説明するための断面図である。

【図6】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成

13

長方法を説明するための断面図である。

【図7】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成長方法を説明するための断面図である。

【図8】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成長方法を説明するための断面図である。

【図9】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成長方法において成長マスクとしてのストライプ形状のSiO<sub>2</sub>膜を形成したc面サファイア基板の表面のSEM写真である。

【図10】この発明の第1の実施形態によるGa<sub>0.5</sub>N層の成長方法において成長マスクとしてのストライプ形状のSiO<sub>2</sub>膜を形成したc面サファイア基板上にGa<sub>0.5</sub>N層を成長させたときの表面のSEM写真である。

【図11】この発明の第1の実施形態との比較のために成長温度を500℃としてGa<sub>0.5</sub>N層を成長させたときの表面のSEM写真である。

【図12】この発明の第1の実施形態との比較のために

14

成長温度を600℃としてGa<sub>0.5</sub>N層を成長させたときの表面のSEM写真である。

【図13】この発明の第3の実施形態によるGa<sub>0.5</sub>N系半導体レーザの製造方法を説明するための断面図である。

【図14】この発明の第3の実施形態によるGa<sub>0.5</sub>N系半導体レーザの製造方法を説明するための断面図である。

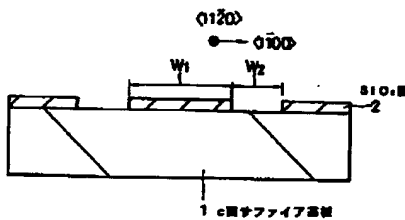
【図15】この発明の第2の実施形態によるGa<sub>0.5</sub>N系半導体レーザの製造方法を説明するための断面図である。

【図16】c面サファイア基板上への従来のGa<sub>0.5</sub>N層の成長方法を説明するための断面図である。

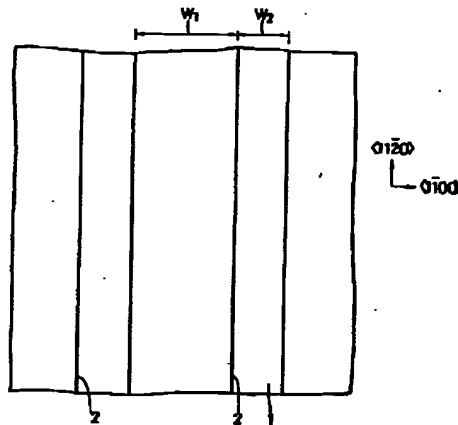
【符号の説明】

1・・・c面サファイア基板、2・・・SiO<sub>2</sub>膜、3・・・結晶核、4・・・Ga<sub>0.5</sub>N層、5・・・n型Ga<sub>0.5</sub>Nコンタクト層、6・・・n型AlGa<sub>0.5</sub>Nクラッド層、7・・・活性層、9・・・p型AlGa<sub>0.5</sub>Nクラッド層、10・・・p型Ga<sub>0.5</sub>Nコンタクト層、12・・・p側電極、13・・・n側電極

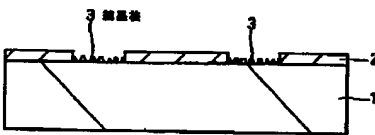
【図1】



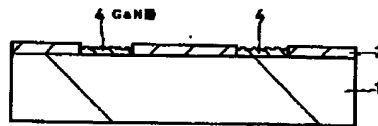
【図2】



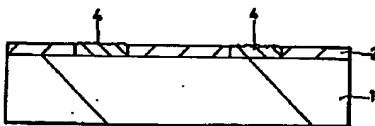
【図3】



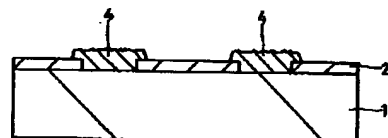
【図4】



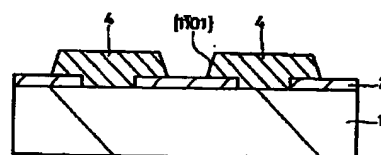
【図5】



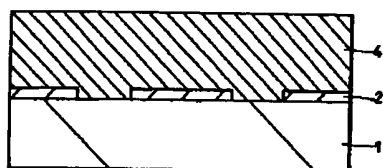
【図6】



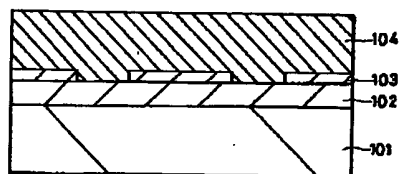
【図7】



【図8】

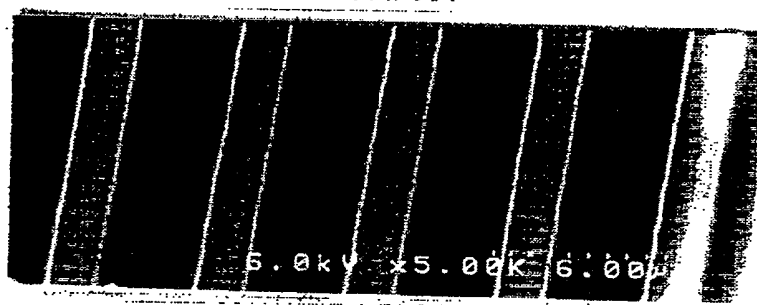


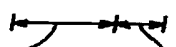
【図16】



【図9】

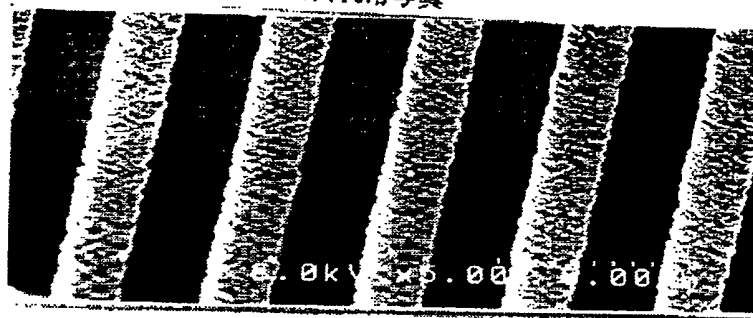
図面代用写真



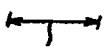
  
 $\text{SiO}_2$  膜2 開口部

【図10】

図面代用写真

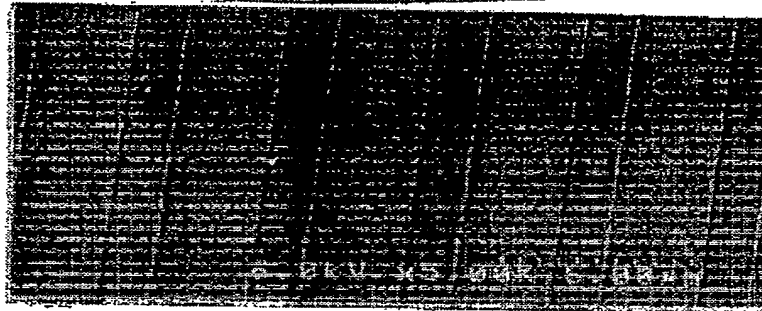


  
 GaN層4

  
 $\text{SiO}_2$  膜2

【図11】

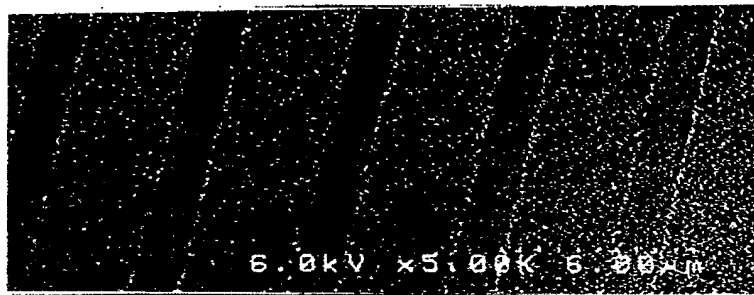
図面代用写真



SiO<sub>2</sub> 膜2 開口部

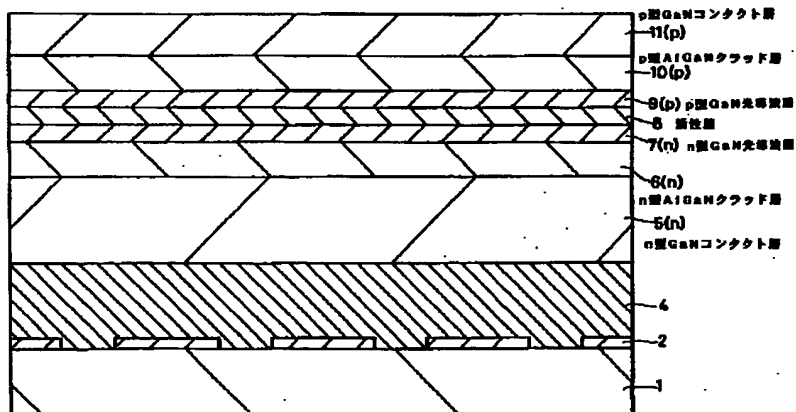
【図12】

図面代用写真

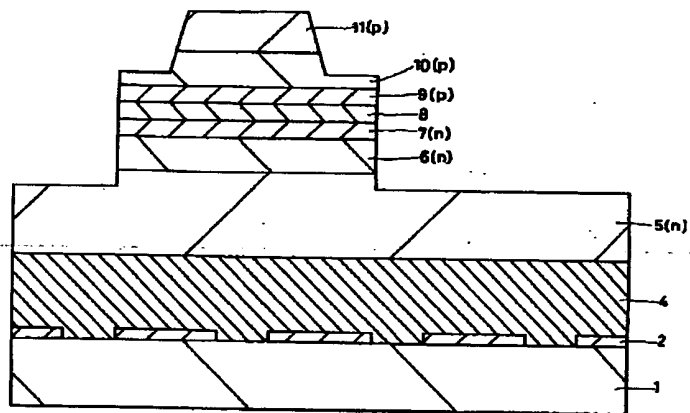


SiO<sub>2</sub> 膜2 開口部

【図13】



【図14】



【図15】

